



(12)发明专利申请

(10)申请公布号 CN 110277420 A

(43)申请公布日 2019.09.24

(21)申请号 201810220239.8

(22)申请日 2018.03.16

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 龙春平

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138

代理人 杨广宇

(51)Int.Cl.

H01L 27/15(2006.01)

H01L 21/84(2006.01)

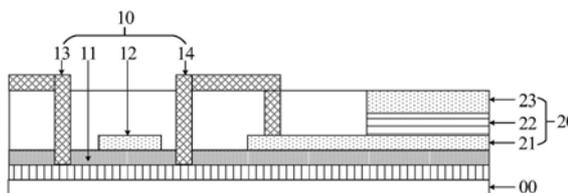
权利要求书4页 说明书16页 附图8页

(54)发明名称

阵列基板及其制造方法、显示装置

(57)摘要

本申请公开了一种阵列基板及其制造方法、显示装置,属于显示技术领域。所述阵列基板包括:设置在衬底基板上的薄膜晶体管,以及设置在所述薄膜晶体管中栅绝缘层远离所述衬底基板一侧的微型发光二极管LED;所述微型LED包括第一电极、发光层和第二电极;所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极和所述第二电极中的一个电极连接,所述第一电极和所述第二电极中的另一电极与公共电极连接。本申请提供的阵列基板的制造成本较低,且稳定性和发光效率较高。



1. 一种阵列基板,其特征在于,所述阵列基板包括:

设置在衬底基板上的薄膜晶体管,以及设置在所述薄膜晶体管中栅绝缘层远离所述衬底基板一侧的微型发光二极管LED;

所述微型LED包括第一电极、发光层和第二电极;

所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极和所述第二电极中的一个电极连接,所述第一电极和所述第二电极中的另一电极与公共电极连接。

2. 根据权利要求1所述的阵列基板,其特征在于,所述微型LED还包括:设置在所述发光层靠近所述衬底基板一侧的第一半导体层,以及设置在所述发光层和所述第二电极之间的第二半导体层;

所述第一电极与所述第一半导体层接触。

3. 根据权利要求2所述的阵列基板,其特征在于,所述微型LED还包括:设置在所述第一半导体层和所述栅绝缘层之间的缓冲层;

所述第一电极与所述缓冲层均位于所述栅绝缘层远离所述衬底基板的一侧,且所述第一电极与所述第一半导体层接触。

4. 根据权利要求1至3任一所述的阵列基板,其特征在于,

所述栅绝缘层由金属氧化物材料制成,所述金属氧化物材料包括:氧化铝、氧化铁、三氧化二铬、三氧化二钛、氧化钒、钛酸亚铁、钛酸镁、氧化镧、三氧化二铈、氧化镓、氧化铈、氧化钆、三氧化二铈、三氧化二铋、氧化镨、三氧化二钇、氧化钽、氧化铪、氧化镱以及三氧化二钨中的任一种。

5. 根据权利要求1至3任一所述的阵列基板,其特征在于,所述薄膜晶体管为顶栅结构,所述第一电极与所述栅极同层且间隔设置;或者,

所述薄膜晶体管为底栅结构,所述第二极与所述第一电极为一体结构,或所述第二极与所述第二电极连接。

6. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管为顶栅结构;所述栅绝缘层设置在所述栅极靠近所述衬底基板的一侧;所述薄膜晶体管还包括:设置在所述栅绝缘层靠近所述衬底基板一侧的有源层;

所述栅极远离所述衬底基板一侧还设置有层间介电层,所述层间介电层远离所述衬底基板一侧间隔设置有所述第一极和所述第二极;

所述第一极通过设置在所述层间介电层中的第一过孔与所述有源层连接,所述第二极通过设置在所述层间介电层中的第二过孔与所述有源层连接。

7. 根据权利要求6所述的阵列基板,其特征在于,所述第二极通过设置在所述层间介电层中的第一接触过孔与所述第一电极连接,所述第二电极与所述公共电极连接;

或者,所述第二极与所述第二电极接触,所述第一电极与所述公共电极连接。

8. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;

所述一体结构的一端与所述薄膜晶体管中的有源层接触,构成所述第二极;

所述一体结构的另一端与所述微型LED的第一半导体层接触,构成所述第一电极。

9. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管为底栅结构,且所述

第二极与所述第一电极为一体结构；所述薄膜晶体管中的有源层远离所述衬底基板的一侧设置有保护层，所述第一极和所述一体结构设置在所述保护层远离所述衬底基板的一侧；

所述第一极通过设置在所述保护层中的第三过孔与所述有源层连接，所述一体结构的一端通过设置在所述保护层中的第四过孔与所述有源层连接，构成所述第二极，所述一体结构的另一端通过设置在所述保护层中的第二接触过孔与所述微型LED的第一半导体层连接，构成所述第一电极。

10. 根据权利要求6至9任一所述的阵列基板，其特征在于，所述公共电极与所述第一电极同层设置；

当所述第二极与所述第一电极连接时，所述公共电极与所述第一电极间隔设置，所述第二电极与连接电极接触，所述连接电极通过第三接触过孔与所述公共电极连接；

当所述第二极与所述第二电极连接时，所述公共电极与所述第一电极为一体结构。

11. 根据权利要求6至9任一所述的阵列基板，其特征在于，所述公共电极设置在所述第二电极远离所述衬底基板的一侧，且所述公共电极与所述第二电极之间设置有绝缘层；

当所述第二极与所述第一电极连接时，所述公共电极通过第四接触过孔与所述第二电极连接；

当所述第二极与所述第二电极连接时，所述公共电极通过第五接触过孔与所述第一电极连接。

12. 一种阵列基板的制造方法，其特征在于，所述方法包括：

在衬底基板上形成薄膜晶体管，并在所述薄膜晶体管中栅绝缘层远离所述衬底基板的一侧形成微型发光二极管LED，所述微型LED包括第一电极、发光层和第二电极；

其中，所述薄膜晶体管的栅极与栅线连接，所述薄膜晶体管的第一极与数据线连接，所述薄膜晶体管的第二极与所述第一电极和所述第二电极中的一个电极连接，所述第一电极和所述第二电极中的另一电极与公共电极连接。

13. 根据权利要求12所述的方法，其特征在于，在所述薄膜晶体管中栅绝缘层远离所述衬底基板的一侧形成微型LED，包括：

在所述栅绝缘层远离所述衬底基板的一侧依次形成第一半导体层、所述发光层以及第二半导体层；

在所述栅绝缘层远离所述衬底基板的一侧形成与所述第一半导体层接触的第一电极；

在所述第二半导体层远离所述衬底基板的一侧形成第二电极。

14. 根据权利要求13所述的方法，其特征在于，在所述栅绝缘层远离所述衬底基板的一侧形成第一半导体层之前，所述方法还包括：

在所述栅绝缘层远离所述衬底基板的一侧形成缓冲层，所述第一半导体层形成在所述缓冲层远离所述衬底基板的一侧，且所述第一电极与所述第一半导体层接触。

15. 根据权利要求12至14任一所述的方法，其特征在于，

所述栅绝缘层由金属氧化物材料形成，所述金属氧化物材料包括：氧化铝、氧化铁、三氧化二铬、三氧化二钛、氧化钒、钛酸亚铁、钛酸镁、氧化镧、三氧化二铈、氧化镓、氧化铈、氧化钆、三氧化二铈、三氧化二铟、氧化镨、三氧化二钇、氧化铈、氧化铟、氧化镧以及三氧化二钆中的任一种。

16. 根据权利要求12至14任一所述的方法，其特征在于，所述薄膜晶体管为顶栅结构，

所述第一电极、第二电极以及所述栅极通过一次构图工艺形成,且所述第一电极与所述栅极同层且间隔设置;或者,

所述薄膜晶体管为底栅结构,所述第一电极和所述第二极为通过一次构图工艺形成的一体结构,或所述第二极与所述第二电极连接。

17. 根据权利要求16所述的方法,其特征在于,所述薄膜晶体管为顶栅结构;所述在衬底基板上形成薄膜晶体管,包括:

在所述衬底基板上形成有源层;

在所述有源层远离所述衬底基板的一侧形成所述栅绝缘层;

在所述栅绝缘层远离所述衬底基板的一侧形成所述栅极;

在所述栅极远离所述衬底基板的一侧形成所述层间介电层;

在所述衬底基板上形成贯穿所述层间介电层和所述栅绝缘层的第一过孔和第二过孔;

在所述层间介电层远离所述衬底基板的一侧形成间隔设置的所述第一极和所述第二极,所述第一极通过所述第一过孔与所述有源层连接,所述第二极通过所述第二过孔与所述有源层连接。

18. 根据权利要求17所述的方法,其特征在于,

在形成所述第一极和所述第二极之前,所述方法还包括:在所述层间介电层中形成第一接触过孔,以将所述第一电极露出;所述第二极通过所述第一接触过孔与所述第一电极连接,所述第二电极与所述公共电极连接;

或者,所述第二极与所述第二电极接触,所述第一电极与所述公共电极连接。

19. 根据权利要求16所述的方法,其特征在于,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;所述在衬底基板上形成薄膜晶体管,包括:

在所述衬底基板上依次形成所述薄膜晶体管的栅极、栅绝缘层和有源层;

在所述衬底基板上形成所述第一极和所述一体结构,所述一体结构的一端与所述有源层接触,构成所述第二极,所述一体结构的另一端与所述微型LED的第一半导体层接触,构成所述第一电极。

20. 根据权利要求16所述的方法,其特征在于,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;所述在衬底基板上形成薄膜晶体管,包括:

在所述衬底基板上依次形成所述薄膜晶体管的栅极、栅绝缘层和有源层;

在所述有源层远离所述衬底基板的一侧形成保护层;

在所述保护层中形成用于露出所述有源层的第三过孔和第四过孔,以及用于露出所述微型LED的第一半导体层的第二接触过孔;

在所述保护层远离所述衬底基板的一侧形成所述第一极和所述一体结构,所述第一极通过所述第三过孔与所述有源层连接,所述一体结构的一端通过所述第四过孔与所述有源层连接,构成所述第二极,所述一体结构的另一端通过所述第二接触过孔与所述第一半导体层连接,构成所述第一电极。

21. 根据权利要求17至20任一所述的方法,其特征在于,所述公共电极与所述第一电极通过一次构图工艺同层形成;

当所述第二极与所述第一电极连接时,所述公共电极与所述第一电极间隔形成;在形成所述第二电极之后,所述方法还包括:

在所述衬底基板上形成第三接触过孔,以将所述公共电极露出;

在所述衬底基板上形成与所述第二电极连接的连接电极,所述连接电极通过所述第三接触过孔与所述公共电极连接;

当所述第二极与所述第二电极连接时,所述公共电极与所述第一电极为通过一次构图工艺形成的一体结构。

22. 根据权利要求17至20任一所述的方法,其特征在于,所述公共电极形成在所述第二电极远离所述衬底基板的一侧,且所述公共电极与所述第二电极之间形成有绝缘层;

当所述第二极与所述第一电极连接时,在形成所述绝缘层之后,所述方法还包括:

在所述衬底基板上形成第四接触过孔,以将所述第二电极露出,所述公共电极通过所述第四接触过孔与所述第二电极连接;

当所述第二极与所述第二电极连接时,在形成所述绝缘层之后,所述方法还包括:

在所述衬底基板上形成第五接触过孔,以将所述第一电极露出,所述公共电极通过所述第五接触过孔与所述第一电极连接。

23. 一种显示装置,其特征在于,所述显示装置包括:

如权利要求1至11任一所述的阵列基板。

阵列基板及其制造方法、显示装置

技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种阵列基板及其制造方法、显示装置。

背景技术

[0002] 微型发光二极管(Micro Light-Emitting Diode, Micro LED)是一种采用无机材料(例如氮化镓)作为发光材料的发光器件。采用Micro LED作为发光器件的显示装置的具有亮度高、响应速度快以及稳定性高等优点。

[0003] 相关技术中, Micro LED显示装置在制造时,一般会先在玻璃基板上形成阵列排布的薄膜晶体管,并在单晶硅基板上形成多个Micro LED;之后需要对该单晶硅基板上的多个Micro LED进行切割,得到独立的多个Micro LED;最后可以通过焊接的方式将每个Micro LED转印至阵列基板上的对应区域。

[0004] 但是,相关技术中的Micro LED显示装置的制造工艺较为复杂,制造成本较高。

发明内容

[0005] 本申请提供了一种阵列基板及其制造方法、显示装置,可以解决相关技术中的显示装置制造工艺复杂,制造成本较高的问题。所述技术方案如下:

[0006] 一方面,提供了一种阵列基板,所述阵列基板包括:

[0007] 设置在衬底基板上的薄膜晶体管,以及设置在所述薄膜晶体管中栅绝缘层远离所述衬底基板一侧的微型发光二极管LED;

[0008] 所述微型LED包括第一电极、发光层和第二电极;

[0009] 所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极和所述第二电极中的一个电极连接,所述第一电极和所述第二电极中的另一电极与公共电极连接。

[0010] 可选的,所述微型LED还包括:设置在所述发光层靠近所述衬底基板一侧的第一半导体层,以及设置在所述发光层和所述第二电极之间的第二半导体层;

[0011] 所述第一电极与所述第一半导体层接触。

[0012] 可选的,所述微型LED还包括:设置在所述第一半导体层和所述栅绝缘层之间的缓冲层;

[0013] 所述第一电极与所述缓冲层均位于所述栅绝缘层远离所述衬底基板的一侧,且所述第一电极与所述第一半导体层接触。

[0014] 可选的,所述栅绝缘层由金属氧化物材料制成,所述金属氧化物材料包括:氧化铝、氧化铁、三氧化二铬、三氧化二钛、氧化钒、钛酸亚铁、钛酸镁、氧化镧、三氧化二铈、氧化镓、氧化铈、氧化钆、三氧化二铈、三氧化二铪、氧化镨、三氧化二钇、氧化钽、氧化铪、氧化镱以及三氧化二钆中的任一种。

[0015] 可选的,所述薄膜晶体管为顶栅结构,所述第一电极与所述栅极同层且间隔设置;或者,

[0016] 所述薄膜晶体管为底栅结构,所述第二极与所述第一电极为一体结构,或所述第二极与所述第二电极连接。

[0017] 可选的,所述薄膜晶体管为顶栅结构;所述栅绝缘层设置在所述栅极靠近所述衬底基板的一侧;所述薄膜晶体管还包括:设置在所述栅绝缘层靠近所述衬底基板的一侧的有源层;

[0018] 所述栅极远离所述衬底基板的一侧还设置有层间介电层,所述层间介电层远离所述衬底基板的一侧间隔设置有所述第一极和所述第二极;

[0019] 所述第一极通过设置在所述层间介电层中的第一过孔与所述有源层连接,所述第二极通过设置在所述层间介电层中的第二过孔与所述有源层连接。

[0020] 可选的,所述第二极通过设置在所述层间介电层中的第一接触过孔与所述第一电极连接,所述第二电极与所述公共电极连接;

[0021] 或者,所述第二极与所述第二电极接触,所述第一电极与所述公共电极连接。

[0022] 可选的,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;

[0023] 所述一体结构的一端与所述薄膜晶体管中的有源层接触,构成所述第二极;

[0024] 所述一体结构的另一端与所述微型LED的第一半导体层接触,构成所述第一电极。

[0025] 可选的,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;所述薄膜晶体管中的有源层远离所述衬底基板的一侧设置有保护层,所述第一极和所述一体结构设置在所述保护层远离所述衬底基板的一侧;

[0026] 所述第一极通过设置在所述保护层中的第三过孔与所述有源层连接,所述一体结构的一端通过设置在所述保护层中的第四过孔与所述有源层连接,构成所述第二极,所述一体结构的另一端通过设置在所述保护层中的第二接触过孔与所述微型LED的第一半导体层连接,构成所述第一电极。

[0027] 可选的,所述公共电极与所述第一电极同层设置;

[0028] 当所述第二极与所述第一电极连接时,所述公共电极与所述第一电极间隔设置,所述第二电极与连接电极接触,所述连接电极通过第三接触过孔与所述公共电极连接;

[0029] 当所述第二极与所述第二电极连接时,所述公共电极与所述第一电极为一体结构。

[0030] 可选的,所述公共电极设置在所述第二电极远离所述衬底基板的一侧,且所述公共电极与所述第二电极之间设置有绝缘层;

[0031] 当所述第二极与所述第一电极连接时,所述公共电极通过第四接触过孔与所述第二电极连接;

[0032] 当所述第二极与所述第二电极连接时,所述公共电极通过第五接触过孔与所述第一电极连接。

[0033] 可选的,在衬底基板上形成薄膜晶体管,并在所述薄膜晶体管中栅绝缘层远离所述衬底基板的一侧形成微型发光二极管LED,所述微型LED包括第一电极、发光层和第二电极;

[0034] 其中,所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极和所述第二电极中的一个电极连接,所述第一电极和所述第二电极中的另一电极与公共电极连接。

[0035] 可选的,在所述薄膜晶体管中栅绝缘层远离所述衬底基板的一侧形成微型LED,包括:

[0036] 在所述栅绝缘层远离所述衬底基板的一侧依次形成第一半导体层、所述发光层以及第二半导体层;

[0037] 在所述栅绝缘层远离所述衬底基板的一侧形成与所述第一半导体层接触的第一电极;

[0038] 在所述第二半导体层远离所述衬底基板的一侧形成第二电极。

[0039] 可选的,在所述栅绝缘层远离所述衬底基板的一侧形成第一半导体层之前,所述方法还包括:

[0040] 在所述栅绝缘层远离所述衬底基板的一侧形成缓冲层,所述第一半导体层形成在所述缓冲层远离所述衬底基板的一侧,且所述第一电极与所述第一半导体层接触。

[0041] 可选的,所述栅绝缘层由金属氧化物材料形成,所述金属氧化物材料包括:氧化铝、氧化铁、三氧化二铬、三氧化二钛、氧化钒、钛酸亚铁、钛酸镁、氧化镧、三氧化二铈、氧化镓、氧化铈、氧化钆、三氧化二铈、三氧化二铋、氧化镨、三氧化二钇、氧化铈、氧化铟、氧化镱以及三氧化二钆中的任一种。

[0042] 可选的,所述薄膜晶体管为顶栅结构,所述第一电极、第二电极以及所述栅极通过一次构图工艺形成,且所述第一电极与所述栅极同层且间隔设置;或者,

[0043] 所述薄膜晶体管为底栅结构,所述第一电极和所述第二极为通过一次构图工艺形成的一体结构,或所述第二极与所述第二电极连接。

[0044] 可选的,所述薄膜晶体管为顶栅结构;所述在衬底基板上形成薄膜晶体管,包括:

[0045] 在所述衬底基板上形成有源层;

[0046] 在所述有源层远离所述衬底基板的一侧形成所述栅绝缘层;

[0047] 在所述栅绝缘层远离所述衬底基板的一侧形成所述栅极;

[0048] 在所述栅极远离所述衬底基板的一侧形成所述层间介电层;

[0049] 在所述衬底基板上形成贯穿所述层间介电层和所述栅绝缘层的第一过孔和第二过孔;

[0050] 在所述层间介电层远离所述衬底基板的一侧形成间隔设置的所述第一极和所述第二极,所述第一极通过所述第一过孔与所述有源层连接,所述第二极通过所述第二过孔与所述有源层连接。

[0051] 可选的,在形成所述第一极和所述第二极之前,所述方法还包括:在所述层间介电层中形成第一接触过孔,以将所述第一电极露出;所述第二极通过所述第一接触过孔与所述第一电极连接,所述第二电极与所述公共电极连接;

[0052] 或者,所述第二极与所述第二电极接触,所述第一电极与所述公共电极连接。

[0053] 可选的,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;所述在衬底基板上形成薄膜晶体管,包括:

[0054] 在所述衬底基板上依次形成薄膜晶体管的栅极、栅绝缘层和有源层;

[0055] 在所述衬底基板上形成所述第一极和所述一体结构,所述一体结构的一端与所述有源层接触,构成所述第二极,所述一体结构的另一端与所述微型LED的第一半导体层接触,构成所述第一电极。

[0056] 可选的,所述薄膜晶体管为底栅结构,且所述第二极与所述第一电极为一体结构;所述在衬底基板上形成薄膜晶体管,包括:

[0057] 在所述衬底基板上依次形成薄膜晶体管的栅极、栅绝缘层和有源层;

[0058] 在所述有源层远离所述衬底基板的一侧形成保护层;

[0059] 在所述保护层中形成用于露出所述有源层的第三过孔和第四过孔,以及用于露出所述微型LED的第一半导体层的第二接触过孔;

[0060] 在所述保护层远离所述衬底基板的一侧形成所述第一极和所述一体结构,所述第一极通过所述第三过孔与所述有源层连接,所述一体结构的一端通过所述第四过孔与所述有源层连接,构成所述第二极,所述一体结构的另一端通过所述第二接触过孔与所述第一半导体层连接,构成所述第一电极。

[0061] 可选的,所述公共电极与所述第一电极通过一次构图工艺同层形成;

[0062] 当所述第二极与所述第一电极连接时,所述公共电极与所述第一电极间隔形成;在形成所述第二电极之后,所述方法还包括:

[0063] 在所述衬底基板上形成第三接触过孔,以将所述公共电极露出;

[0064] 在所述衬底基板上形成与所述第二电极连接的连接电极,所述连接电极通过所述第三接触过孔与所述公共电极连接;

[0065] 当所述第二极与所述第二电极连接时,所述公共电极与所述第一电极为通过一次构图工艺形成的一体结构。

[0066] 可选的,所述公共电极形成在所述第二电极远离所述衬底基板的一侧,且所述公共电极与所述第二电极之间形成有绝缘层;

[0067] 当所述第二极与所述第一电极连接时,在形成所述绝缘层之后,所述方法还包括:

[0068] 在所述衬底基板上形成第四接触过孔,以将所述第二电极露出,所述公共电极通过所述第四接触过孔与所述第二电极连接;

[0069] 当所述第二极与所述第二电极连接时,在形成所述绝缘层之后,所述方法还包括:

[0070] 在所述衬底基板上形成第五接触过孔,以将所述第一电极露出,所述公共电极通过所述第五接触过孔与所述第一电极连接。

[0071] 又一方面,提供了一种显示装置,所述显示装置包括:如上述方面所提供的阵列基板。

[0072] 本申请提供的技术方案带来的有益效果是:

[0073] 本申请提供了一种阵列基板及其制造方法、显示装置,该阵列基板的衬底基板上设置有薄膜晶体管和微型LED,且该微型LED可以设置在该薄膜晶体管的栅绝缘层上,即该微型LED可以在形成薄膜晶体管的过程中同步形成,有效简化了阵列基板及显示装置的制造工艺,进而降低了显示装置的制造成本。

附图说明

[0074] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0075] 图1是本发明实施例提供的一种阵列基板的结构示意图；
- [0076] 图2A是本发明实施例提供的另一种阵列基板的结构示意图；
- [0077] 图2B是本发明实施例提供的又一种阵列基板的结构示意图；
- [0078] 图2C是本发明实施例提供的一种阵列基板的俯视结构示意图；
- [0079] 图3A是本发明实施例提供的再一种阵列基板的结构示意图；
- [0080] 图3B是本发明实施例提供的再一种阵列基板的结构示意图；
- [0081] 图3C是本发明实施例提供的再一种阵列基板的结构示意图；
- [0082] 图4A是本发明实施例提供的再一种阵列基板的结构示意图；
- [0083] 图4B是本发明实施例提供的再一种阵列基板的结构示意图；
- [0084] 图5A是本发明实施例提供的再一种阵列基板的结构示意图；
- [0085] 图5B是本发明实施例提供的再一种阵列基板的结构示意图；
- [0086] 图6是本发明实施例提供的一种阵列基板的制造方法的流程图；
- [0087] 图7A是本发明实施例提供的另一种阵列基板的制造方法的流程图；
- [0088] 图7B是本发明实施例提供的一种在衬底基板上形成有源层的结构示意图；
- [0089] 图7C是本发明实施例提供的一种对有源层进行研磨的示意图；
- [0090] 图7D是本发明实施例提供的一种在衬底基板上形成栅绝缘层的结构示意图；
- [0091] 图7E是本发明实施例提供的一种在衬底基板上形成缓冲层、第一半导体层、发光层和第二半导体层的结构示意图；
- [0092] 图7F是本发明实施例提供的一种对栅绝缘层上非像素区域的膜层进行去除后的结构示意图；
- [0093] 图7G是本发明实施例提供的一种在衬底基板上形成栅极、第一电极和第二电极的结构示意图；
- [0094] 图7H是本发明实施例提供的一种在衬底基板上的层间介电层中形成过孔的结构示意图；
- [0095] 图8A是本发明实施例提供的一种薄膜晶体管的制造方法的流程图；
- [0096] 图8B是本发明实施例提供的另一种薄膜晶体管的制造方法的流程图。

具体实施方式

[0097] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

[0098] 图1是本发明实施例提供的一种阵列基板的结构示意图，该阵列基板可以包括阵列排布的多个像素，参考图1，其中每个像素可以包括：

[0099] 设置在衬底基板00上的薄膜晶体管10，以及设置在该薄膜晶体管10中栅绝缘层11远离该衬底基板00一侧的微型LED 20。

[0100] 该微型LED 20包括第一电极21、发光层22和第二电极23。

[0101] 该薄膜晶体管10的栅极12与栅线连接，该薄膜晶体管10的第一极13与数据线连接，该薄膜晶体管10的第二极14与该第一电极21和第二电极23中的一个电极连接，该第一电极21和该第二电极23中的另一电极与公共电极(图1中未示出)连接。其中，微型LED 20中与薄膜晶体管10的第二极14连接的电极可以称为阳极，与该公共电极连接的电极可以称为

阴极。该薄膜晶体管10用于驱动该微型LED 20发光。例如图1所示的结构中,薄膜晶体管10的第二极14与第一电极21连接。

[0102] 其中,该薄膜晶体管10的第一极13可以为源极,第二极14可以为漏极;或者,第一极13可以为漏极,第二极14可以为源极。该第一电极21可以为N型电极,第二电极23可以为P型电极。并且,该阵列基板中的各个像素的微型LED可以共用阳极,即各个像素的微型LED的阳极可以为同一个电极。

[0103] 该微型LED中的发光层可以由III-V族化合物(包括二元化合物、三元化合物或四元化合物等)材料形成,III-V族化合物是指由元素周期表中III族元素与V族元素形成的化合物,该III族元素包括硼(B)、铝(Al)、镓(Ga)和铟(In)等,V族元素包括氮(N)、磷(P)、砷(As)和锑(Sb)等。该III-V族化合物一般包括镓化砷(GaAs)、磷化铟(InP)和氮化镓(GaN)等。该III-V族化合物材料形成的半导体发光层具有更高的发光效率,更好的稳定性和更长的寿命。

[0104] 需要说明的是,在本发明实施例中,该公共电极的电压可以与传统显示装置的公共电极电压不同。本发明实施例中公共电极上可以施加适用于微型LED发光显示的阴极电压;例如传统显示装置中的公共电极电压可以是0伏特(V),或者0V附近,例如-5V至5V之间;而在本发明实施例的阵列基板中,公共电极施加的电压可以不局限于上述范围,根据微型LED的工作需求(发光亮度需求或发光效率需求),该公共电极施加的阴极电压的范围在-20V至20V之间,通常不为0V。

[0105] 综上所述,本发明实施例提供的阵列基板中,衬底基板上设置有薄膜晶体管和微型LED,且该微型LED可以设置在该薄膜晶体管的栅绝缘层上,即该微型LED可以在形成薄膜晶体管的过程中同步形成,简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。

[0106] 可选的,参考图2A,该微型LED 20还可以包括:设置在该发光层22靠近衬底基板00一侧的第一半导体层24,以及设置在该发光层22和该第二电极23之间的第二半导体层25;该第一电极21与该第一半导体层24接触。

[0107] 其中,该第一半导体层24和第二半导体层25中,与阴极(即与公共电极连接的电极)接触的半导体层可以为N型半导体层,与阳极(即与第二极14连接的电极)接触的半导体层可以为P型半导体层。

[0108] 该N型半导体层可以由掺杂有IV族元素的III-V族化合物材料制成,例如可以由掺杂有硅(Si)原子的GaN材料制成。该P型半导体层可以由掺杂有II族元素的III-V族化合物材料制成,例如可以由掺杂有镁(Mg)原子的GaN材料制成。

[0109] 进一步的,继续参考图2A,该微型LED 20还可以包括:设置在该第一半导体层24和该栅绝缘层11之间的缓冲层26。

[0110] 该第一电极21与该缓冲层26层均位于该栅绝缘层11远离该衬底基板00的一侧。并且,从图2A可以看出,该缓冲层26和第一半导体层24的一部分均凸出于该微型LED20中的其他膜层,该第一电极21可以覆盖在该第一半导体层24的凸出部分的上方,从而实现与该第一半导体层24的有效接触。

[0111] 可选的,在本发明实施例中,该栅绝缘层11可以由金属氧化物材料制成,该金属氧化物材料可以包括:氧化铝(Al₂O₃)、氧化铁(Fe₂O₃)、三氧化二铬(Cr₂O₃)、三氧化二钛

(Ti2O3)、氧化钒(V2O3)、钛酸亚铁(FeTiO3)、钛酸镁(MgTiO3)、氧化镧(La2O3)、三氧化二铈(Ce2O3)、氧化镓(Ga2O3)、氧化钪(Sc2O3)、氧化钐(Sm2O3)、三氧化二铈(Eu2O3)、三氧化二铽(Tb2O3)、氧化镝(Dy2O3)、三氧化二钇(Y2O3)、氧化铥(Ho2O3)、氧化铈(Tm2O3)、氧化镨(Lu2O3)以及三氧化二钕(Nd2O3)中的任一种。该缓冲层26可以由GaN、GaAs或InP等材料形成。

[0112] 此外,如图2A所示,该衬底基板00上还可以设置有基础缓冲层01,该薄膜晶体管10以及该微型LED 20均设置在该基础缓冲层01远离衬底基板00的一侧。该基础缓冲层01可以由氮化硅(SiN)薄膜和二氧化硅(SiO2)薄膜组成的复合膜结构。

[0113] 作为本发明实施例一种可选的实现方式,如图2A和图2B所示,该薄膜晶体管10可以为顶栅结构,且该微型LED 20的第一电极21与该栅极12同层且间隔设置。其中,间隔设置可以是指该第一电极21与该栅极12之间无连接,两者相互绝缘。

[0114] 参考图2A和图2B,该栅绝缘层11可以设置在栅极12靠近衬底基板00的一侧;该薄膜晶体管10还可以包括:设置在该栅绝缘层11靠近该衬底基板00的一侧的有源层15。

[0115] 该栅极12远离该衬底基板00的一侧还设置有层间介电层03,该层间介电层03远离衬底基板00的一侧间隔设置有薄膜晶体管10的第一极13和第二极14。图2C为图2A所示结构的俯视图,结合图2A和图2C,该第一极13可以通过第一过孔31与有源层15连接,该第二极14可以通过第二过孔41与该有源层15连接。

[0116] 对于该顶栅结构的薄膜晶体管10,一方面,如图2A和图2C所示,该薄膜晶体管10的第二极14可以通过第一接触过孔42与该第一电极21连接;相应的,该第二电极23可以与公共电极连接。

[0117] 此外,从图2C可以看出,薄膜晶体管的第一极13与数据线130连接,栅极12与栅线120连接。

[0118] 另一方面,该薄膜晶体管10的第二极14可以与该第二电极23直接接触,例如参考图2B,该第二极14靠近该衬底基板00的一侧,可以与该第二电极23远离该衬底基板00的一侧接触;相应的,该第一电极21可以与公共电极(图2B中未示出)连接。

[0119] 作为本发明实施例另一种可选的实现方式,如图3A和图3B所示,该薄膜晶体管10可以为底栅结构,且该微型LED 20的第一电极21与该薄膜晶体管10的第二极14可以为一体结构。该一体结构中位于有源区的部分构成该薄膜晶体管10的第二极14,该一体结构中与该第一半导体层24连接的部分构成该微型LED 20的第一电极21;该微型LED 20的第二电极23与公共电极(图中未示出)连接。在图3A和图3B所示的结构中,薄膜晶体管10的第二极14可以直接与第二电极23驱动发光层22发光。

[0120] 对于该底栅结构的薄膜晶体管10,一方面,如图3A所示,该栅绝缘层11可以设置在该栅极12远离该衬底基板00的一侧;该薄膜晶体管10还可以包括:设置在该栅绝缘层11远离该衬底基板00的一侧的有源层15,该薄膜晶体管10的第一极13和该一体结构可以均设置在该栅绝缘层11远离该衬底基板00的一侧,且均与该有源层15接触。且该一体结构中与该有源层15接触的一端可以构成薄膜晶体管10的第二极14,该一体结构的另一端与该微型LED 20的第一半导体层24接触,构成了该微型LED 20的第一电极21。

[0121] 示例的,如图3A所示,该微型LED 20中,第一半导体层24和缓冲层26的一部分可以凸出于其他各个膜层,该一体结构的另一端可以覆盖在该第一半导体层24上方,从而实现

与该第一半导体层24的有效接触。

[0122] 另一方面,如图3B所示,该栅绝缘层11可以设置在该栅极12远离该衬底基板00的一侧。该薄膜晶体管10还可以包括:设置在该栅绝缘层11远离该衬底基板00的一侧的有源层15,该有源层远离该衬底基板00的一侧还设置有保护层16,该薄膜晶体管10的第一极13和该一体结构可以均设置在该保护层16远离该衬底基板00的一侧。并且,该第一极13可以通过第三过孔(图3B中未标注)与该有源层15连接,该一体结构的一端可以通过第四过孔(图3B中未标注)与该有源层15连接,从而构成该薄膜晶体管10的第二极14;且该一体结构的另一端还可以通过第二接触过孔(图3B中未标注)与该第一半导体层24连接,从而构成该微型LED 20的第一电极21。

[0123] 并且,为了便于实现一体结构与第一半导体层24的连接,如图3B所示,该第一半导体层24的一部分可以凸出于发光层22和第二半导体层25,该一体结构可以与该第一半导体层24中凸出的部分接触。

[0124] 对于该底栅结构的薄膜晶体管10,又一方面,如图3C所示,该薄膜晶体管10的第二极14可以直接与该微型LED 20的第二电极23接触(例如第二极14靠近衬底基板00的一侧与该第二电极23远离衬底基板00的一侧接触);相应的,微型LED 20的第一电极21可以与公共电极连接。

[0125] 进一步的,在本发明实施例一种可选的实现方式中,如图4A和图4B所示,公共电极30与该第一电极21可以同层设置。

[0126] 当该薄膜晶体管10的第二极14与第一电极21连接时,如图4A所示,该第二电极23远离衬底基板00的一侧还可以设置有连接电极31,该连接电极31通过设置在层间介电层03中的第三接触过孔(图4A中未标注)与该公共电极30连接,从而实现该第二电极23与该公共电极30的连接。

[0127] 并且,参考图4A可以看出,该连接电极31与该第一极13和第二极14可以同层设置,并且可以通过一次构图工艺形成。

[0128] 当该薄膜晶体管10的第二极14与第二电极23连接时,如图4B所示,该公共电极30与该第一电极可以为一体结构,即该公共电极30可以直接与第一半导体层24接触,且该公共电极30中与该第一半导体层24接触的部分构成该微型LED 20的第一电极,从而可以与该第二电极23共同驱动发光层22发光。

[0129] 在本发明实施例一种可选的实现方式中,如图5A和图5B所示,该公共电极30也可以设置在该第二电极23远离该衬底基板00的一侧,且该公共电极30与该第二电极23之间形成有绝缘层32。

[0130] 当该薄膜晶体管10的第二极14与第一电极21连接时,如图5A所示,该公共电极30可以通过设置在绝缘层32中的第四接触过孔(图5A中未标注)与该第二电极23连接。

[0131] 当该薄膜晶体管10的第二极14与第二电极23连接时,如图5B所示,该公共电极30可以通过设置在绝缘层32以及层间介电层03中的第五接触过孔(图5B中未标注)与第一电极21连接。

[0132] 此外,对比图5A和图5B可以看出,对于该采用顶栅结构的薄膜晶体管,该薄膜晶体管10中的有源层15可以整层覆盖衬底基板(如图5A所示);或者,该有源层15也可以仅设置在薄膜晶体管10的有源区(如图5B所示),本发明实施例对此不做限定。

[0133] 综上所述,本发明实施例提供了一种阵列基板,该阵列基板的衬底基板上设置有薄膜晶体管和微型LED,且该微型LED可以设置在该薄膜晶体管的栅绝缘层上,即该微型LED可以在形成薄膜晶体管的过程中同步形成,从而有效简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。

[0134] 图6是本发明实施例提供的一种阵列基板的制造方法的流程图,该方法可以用于制造图1至图5B任一所示的阵列基板,参考图6,该方法可以包括:

[0135] 步骤101、在衬底基板上形成薄膜晶体管,并在该薄膜晶体管中栅绝缘层远离该衬底基板的一侧形成微型发光二极管LED,该微型LED包括第一电极、发光层和第二电极。

[0136] 其中,该薄膜晶体管的栅极与栅线连接,该薄膜晶体管的第一极与数据线连接,该薄膜晶体管的第二极与该第一电极和该第二电极中的一个电极连接,该第一电极和该第二电极中的另一电极与公共电极连接。

[0137] 综上所述,本发明实施例提供了一种阵列基板的制造方法,该阵列基板的衬底基板上形成有薄膜晶体管和微型LED,且该微型LED形成在薄膜晶体管的栅绝缘层上,由于可以在制造过程中同步形成薄膜晶体管以及微型LED,从而有效简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。并且相比于相关技术中的转印工艺,本发明实施例提供的制造方法的工艺时间较短,良率较高。

[0138] 可选的,上述步骤101中,在该薄膜晶体管中栅绝缘层远离该衬底基板的一侧形成微型LED的过程可以包括:

[0139] 在该栅绝缘层远离衬底基板的一侧依次形成第一半导体层、发光层以及第二半导体层;然后在栅绝缘层远离该衬底基板的一侧形成与该第一半导体层接触的第一电极,并在该第二半导体层远离该衬底基板的一侧形成第二电极。

[0140] 可选的,在栅绝缘层远离所述衬底基板的一侧形成第一半导体层之前,该制造方法还可以包括:

[0141] 在栅绝缘层远离所述衬底基板的一侧形成缓冲层,相应的,该第一半导体层可以形成在该缓冲层远离所述衬底基板的一侧,且该第一半导体层的一部分可以凸出于该微型LED的其他膜层;后续形成的第一电极的可以覆盖在第一半导体层凸出的部分的上方,以保证与第一半导体层的有效接触。

[0142] 在本发明实施例一种可选的实现方式中,该阵列基板中形成的薄膜晶体管可以为顶栅结构,该微型LED的第一电极、第二电极以及该薄膜晶体管的栅极可以通过一次构图工艺形成,且该第一电极与该栅极可以同层且间隔设置。以图2A、图2B、图4A和图4B所示的顶栅结构的薄膜晶体管为例,详细介绍本发明实施例提供的阵列基板的制造方法,参考图7A,该方法可以包括:

[0143] 步骤1011a、在衬底基板上形成基础缓冲层。

[0144] 在本发明实施例中,该衬底基板可以为玻璃基板。该基础缓冲层可以由氮化硅(SiN)薄膜和二氧化硅(SiO₂)薄膜组成的复合膜结构。

[0145] 示例的,在形成该基础缓冲层时,可以先对衬底基板进行初始清洗,以清除衬底基板表面的杂质粒子,然后采用等离子体增强化学气相沉积(Plasma Enhanced Chemical Vapor Deposition,PECVD)法在该衬底基板的表面依次形成SiN薄膜和SiO₂薄膜,从而得到该基础缓冲层。其中SiN薄膜的厚度可以为50纳米(nm)至100nm, SiO₂薄膜的厚度可以为

100nm至400nm。该SiN薄膜具有较强的扩散阻挡特性,可以抑制玻璃基板中的金属离子对于后续待形成的多晶硅薄膜的影响;而SiO₂薄膜与多晶硅薄膜具有优良的界面,可以防止SiN薄膜缺陷对多晶硅薄膜质量的损害。

[0146] 步骤1012a、在该基础缓冲层远离衬底基板的一侧形成有源层。

[0147] 在本发明实施例中,可以采用PECVD法在该基础缓冲层的表面形成有源层,该有源层可以由非晶硅(amorphous silicon, a-Si)材料、多晶硅材料或者铟镓锌氧化物(indium gallium zinc oxide, IGZO)形成。

[0148] 示例的,在形成该有源层时,如图7B所示,可以通过PECVD法在基础缓冲层01上连续沉积一层厚度为40nm至100nm的a-Si薄膜,然后使用热处理炉对a-Si薄膜进行脱氢工艺处理,以防止结晶过程中的氢爆。之后即可进行a-Si结晶工艺以形成多晶硅薄膜,通常可以使用激光退火结晶、金属诱导结晶或固相结晶等方法对a-Si薄膜进行结晶。例如图7B所示,可以采用激光束对该a-Si薄膜进行激光退火结晶。进一步的,可以采用稀释的氢氟酸对该多晶硅薄膜进行清洗,降低多晶硅薄膜的表面粗糙度,以减少薄膜晶体管的缺陷。最后可以采用离子注入或者离子云注入的方法,对多晶硅薄膜进行薄膜晶体管的沟道掺杂从而得到该有源层。其中,沟道掺杂的掺杂离子一般为磷化氢(PH₃)与氢气(H₂)的混合气体,或者乙硼烷(B₂H₆)与H₂的混合气体。离子注入剂量在10¹¹至10¹³ions/cm²之间(ions/cm²为负离子浓度计量单位,指每平方厘米的负离子个数),注入能量在10至100千电子伏特(KeV)之间。沟道掺杂可以有效调整薄膜晶体管的阈值电压,改善薄膜晶体管的开关特性。

[0149] 需要说明的是,在实际应用中,在形成该有源层的过程中,在沉积多晶硅薄膜之后,还可以在该多晶硅薄膜的表面沉积一层牺牲层,例如,可以沉积一层氮化硅(SiN_x)作为牺牲层。进一步的,如图7C所示,可以采用具有研磨盘41和抛光垫42的化学机械抛光设备40对该牺牲层和多晶硅薄膜进行研磨。该研磨过程可以包括两个阶段,其中第一阶段用于去除牺牲层,第二阶段用于同时去除多晶硅薄膜和残余的牺牲层。由于多晶硅薄膜上表面(即远离衬底基板00的一侧)凸凹不平,多晶硅薄膜表面的凹陷处沉积的SiN_x的厚度较大,多晶硅薄膜表面的凸起处沉积的SiN_x的厚度较小。因此在该第一阶段中,随着化学机械抛光设备40的研磨, SiN_x被不断减薄,多晶硅薄膜的部分表面暴露出来。此时进入第二阶段,该SiN_x和多晶硅薄膜的部分表面同时暴露于化学机械抛光液和机械抛光的作用之下,由于化学机械抛光液对多晶硅的蚀刻能力更强,因而多晶硅被优先蚀刻去除,从而可以将粗糙的多晶硅表面的凸起部分磨平。其中,化学机械抛光液可以采用碱性的二氧化硅抛光液。

[0150] 在本发明实施例中,除了SiN_x,也可以在多晶硅薄膜表面沉积一层氧化硅(SiO_x)薄膜作为牺牲层。该SiO_x薄膜的厚度可以为800至120埃,例如可以为90至110埃。可选地,可以通过干法氧化工艺在多晶硅薄膜表面形成SiO_x薄膜,该干法氧化工艺可以在反应腔室内通入氧气,使得多晶硅在高温下氧化形成SiO_x,其中,氧化的温度和时间可以根据情况进行调节,该工艺较为成熟,便于工艺设计。此外,还可以选用化学气相沉积的方法沉积SiO_x薄膜。例如可以采用PECVD的方法沉积SiO_x薄膜,该PECVD法的效率和成本控制相对较好。本领域技术人员应该理解,可以采用其他熟知的薄膜沉积或外延方法在多晶硅薄膜表面形成SiO_x薄膜。采用SiO_x薄膜作为牺牲层进行化学机械抛光的过程,与采用SiN_x薄膜20作为牺牲层时的化学机械抛光的过程类似,其具体过程不再赘述。

[0151] 进一步的,可以使用蚀刻溶液湿法刻蚀多晶硅薄膜的表面,以去除多晶硅薄膜表

面残余的牺牲层材料,以及化学机械研磨处理过程产生的残留颗粒,由此进一步降低多晶硅薄膜表面的粗糙度。

[0152] 步骤1013a、在该有源层远离该衬底基板的一侧形成栅绝缘层。

[0153] 进一步的,可以采用磁控溅射工艺在有源层表面形成一层金属氧化物薄膜作为栅绝缘层,例如可以形成一层Al₂O₃薄膜作为栅绝缘层。

[0154] 示例的,在镀膜前可以使用丙酮、乙醇和去离子水,超声波清洁经过化学机械研磨的多晶硅薄膜。之后即可在超高真空磁控溅射系统中,采用射频反应磁控溅射法在该抛光后的有源层表面沉积氧化铝薄膜,得到如图7D所示的栅绝缘层11。在形成该氧化铝薄膜的过程中,可以采用高纯(纯度为99.998%)氩气(Ar)作为溅射气体,并采用高纯(纯度为99.995%)氧气(O₂)作为反应气体。该两种气体经气体质量流量计精确控制后以不同比例通入真空室。真空室内Ar和O₂混合气体的总压强可以由真空计显示,且该总压强可以由真空阀控制。溅射靶材为高纯(纯度为99.99%)的Al,该高纯Al靶表面存在氧化层。在溅射时,可以先在纯Ar中预溅射20至30分钟,以除去Al靶表面的污染物。溅射参数为Ar气流量20标准毫升/分钟(sccm),工作气压2.0帕(Pa),溅射功率100瓦特(W),衬底基板加热至450摄氏度。当Al靶表面的辉光由灰蒙蒙逐渐变的明亮清晰且稳定时,可以确定表面已经被清洗干净。

[0155] 溅射前的本底真空度应当高于 5×10^{-5} Pa,其中本底真空度是指真空镀膜中利用真空抽气系统使在一定的空间内的气体达到一定的真空度。待Al靶面的电流和电压充分稳定后再转开样品挡板进行正式溅射。溅射结束后,样品在真空室内氧气气氛下原位退火,工作气氛的压力为0.5Pa,这样有利于沉积薄膜结晶形成六方晶体结构(刚玉);并且,由于较小的冷却速率可以产生较小的内应力,同时氧气可以补充氧化铝薄膜中因溅射出现的氧缺位,因此可以使得氧化铝薄膜更好的与衬底(即有源层)附着。

[0156] 在本发明实施例中,该栅绝缘层可以由金属氧化物材料形成,该金属氧化物材料除了可以为Al₂O₃,还可以为Fe₂O₃、Cr₂O₃、Ti₂O₃、V₂O₃、FeTiO₃、MgTiO₃、La₂O₃、Ce₂O₃、Ga₂O₃、Sc₂O₃、Sm₂O₃、Eu₂O₃、Tb₂O₃、Dy₂O₃、Y₂O₃、Ho₂O₃、Tm₂O₃、Lu₂O₃和Nd₂O₃中的任一种。

[0157] 步骤1014a、在栅绝缘层远离该衬底基板的一侧形成缓冲层。

[0158] 在本发明实施例中,可以采用金属有机化学气相沉积(Metal-organic Chemical Vapor Deposition, MOCVD)法在栅绝缘层的表面沉积一层GaN薄膜作为缓冲层,该缓冲层可以提高后续待形成的半导体层的外延晶格质量。

[0159] 示例的,在形成该缓冲层的过程中,为了去除衬底基板中栅绝缘层表面粘附的油污等杂质,可以先采用无水乙醇对形成有该基础缓冲层、有源层和栅绝缘层的衬底基板进行多次冲洗,然后再将该衬底基板依次放入丙酮、无水乙醇和去离子水中分别用超声波清洗10分钟,之后再用去离子水反复冲洗干净,最后用高纯氮气(N₂)吹干。在采用MOCVD沉积缓冲层时,可以采用三甲基镓(TMGa)作为镓源,将TMGa的鼓泡器放置在冷阱中,使其温度维持在-12.6摄氏度,并以H₂作为载气,以纯度为5N(即99.999%)的高纯N₂为氮源,在形成有栅绝缘层的衬底基板上进行低温沉积(沉积温度小于500摄氏度)。例如,可以将微波源功率固定在650W,本底真空度优于 5.0×10^{-4} Pa,先在300摄氏度的环境中沉积厚度约为20nm的GaN低温缓冲层,沉积条件为TMGa和氮气的流量分别为0.4sccm和80sccm,沉积时间为5min;之后将衬底温度升高到430摄氏度,TMGa与氮气的流量分别为0.4sccm和80sccm,沉积时间

增加到30min。

[0160] 需要说明的是,除了可以采用GaN形成缓冲层之外,还可以采用GaAs或InP等材料形成该缓冲层。由于用于形成栅绝缘层的材料氧化铝与GaAs和GaN等材料晶体的结构相同,有利于外延生长,虽然晶格常数和热膨胀系数不匹配于需要外延生长的III-V半导体材料,但是其成本较低,且透光率可达90%,适合于激光加热工艺。

[0161] 步骤1015a、在该缓冲层远离该衬底基板的一侧依次形成第一半导体层、该发光层以及第二半导体层。

[0162] 其中,该第一半导体层可以为N型半导体层,该第二半导体层可以为P型半导体层。根据微型LED的发光颜色可以选择氮化镓(InGaN)、磷化铝镓(InAlGaP)、磷化镓(GaP)、磷化砷镓(GaAsP)或砷化铝镓(AlGaAs)等材料形成发光层,该发光层也可以称为量子阱。

[0163] 示例的,如图7E所示,可以采用MOCVD工艺在该缓冲层26的表面依次形成第一半导体层24、发光层22以及第二半导体层25。具体的,在制造过程中,可以先将衬底基板加热至600摄氏度左右的高温,并向反应室同时引入TMGa和氨(NH₃)前驱物,从而在该缓冲层26的表面依次形成N型的GaN半导体层24、InGaN或GaN量子阱22以及P型GaN半导体层25。

[0164] 可选的,可以使用原位的沉积态掺杂技术形成该第一半导体层24以及第二半导体层25。该形成过程可以包括:在反应室通入TMGa和NH₃的同时加入硅烷(SiH₄)、乙硅烷(Si₂H₆)、二甲基硅烷(SiCH₃)或二氯二氢硅(SiH₂Cl₂)等硅前驱物,使得该GaN中掺入10¹⁷至10²⁰cm⁻³的Si(即在每立方厘米的GaN中掺入10¹⁷至10²⁰个Si原子),从而沉积形成N型GaN半导体层24;之后在反应室加入镁的有机先驱物例如二茂镁(Cp₂Mg),使得GaN中掺入10¹⁷至10²⁰cm⁻³的Mg,从而形成P型GaN半导体层25。在形成该N型半导体层24和P型半导体层25之间,可以通过MOCVD工艺连续交替沉积纳米厚度的宽禁带材料和窄禁带半导体材料,例如交替沉积宽禁带材料铝镓氮(AlGaN)和窄禁带材料GaN,从而形成多种单量子阱或多量子阱结构,该量子阱材料中的宽禁带材料与窄禁带材料的晶格常数相匹配,且能带相匹配(两种材料的能带差异保持在一定范围(例如1eV)以内),从而能够调制发射波长,量子阱结构也具有复合效率高和界面复合率低的优点。

[0165] 在本发明实施例中,该缓冲层26的厚度可以在0.1至5微米之间,第一半导体层24和第二半导体层25的厚度可以在0.1至0.5微米之间,量子阱22的厚度在0.1至0.5微米之间。

[0166] 步骤1016a、去除非像素区域的第二半导体层、发光层、第一半导体层以及缓冲层。

[0167] 进一步的,可以采用一次光刻工艺,在该衬底基板的表面形成图形化的光刻胶掩膜,定义出像素区域和非像素区域,该像素区域即为用于设置微型LED的区域,即该阵列基板的有效显示区域,相应的,该非像素区域即为非显示区域。并且,该像素区域可以包括微型LED的P区、多重量子阱(multiple quantum well, MQW)区和N区,该P区、MQW区和N区在衬底基板上的正投影重合。之后,可以采用感应耦合等离子体(Inductive Coupled Plasma Emission Spectrometer, ICP)刻蚀机蚀刻掉未被光刻胶掩膜覆盖的部分第二半导体层、发光层、第一半导体层以及缓冲层。刻蚀深度可以为1.3微米,其中,ICP刻蚀机采用的刻蚀气体可以为氯气(Cl₂)和三氯化硼(BCl₃)。并且,参考图7F,刻蚀后的衬底基板上,该缓冲层26和第一半导体层24可以凸出于微型LED 20中的其他膜层,该凸出的部分第一半导体层24构成了电极接触区。参考图7F可以看出,在经过该刻蚀工艺后,非像素区域的栅极绝缘层11露

出。

[0168] 步骤1017a、在栅绝缘层远离衬底基板的一侧形成栅极,以及与第一半导体层接触的第一电极,并在第二半导体层远离衬底基板的一侧形成第二电极。

[0169] 进一步的,可以在该栅绝缘层的表面沉积一层金属薄膜,然后通过一次构图工艺对该金属薄膜进行处理,从而形成间隔设置的栅极和第一电极,并在该第二半导体层25的表面形成第二电极。该第一电极可以覆盖在凸出的第一半导体层24上,从而实现与第一半导体层24的有效接触。

[0170] 示例的,可以采用磁控溅射的方式在衬底基板的表面沉积一层厚度为200至500nm的金属薄膜,该金属薄膜可以是由钼(Mo)、钼铌合金(MoNb)、Al、铝钨合金(AlNd)、钛(Ti)和铜(Cu)中的一种材料形成的膜层,或者可以是由上述材料中的多种材料形成的单层或多层复合叠层。例如,可以在衬底基板表面形成Mo膜层或Al膜层,或者,形成含有Mo和Al的合金组成的单层膜层或多层复合膜层。之后,可以采用一次光刻工艺在衬底基板的表面形成图形化的光刻胶掩膜,定义出薄膜晶体管的栅极区域、微型LED的第一电极区域,以及第二电极区域。最后可以对该金属薄膜上未被光刻胶掩膜覆盖的区域进行刻蚀,则如图7G所示,可以得到薄膜晶体管的栅极12、微型LED的第一电极21以及第二电极23,该第二电极23位于第二半导体层25远离衬底基板00的一侧,该第一电极21覆盖在第一半导体层24凸出的部分的上方。

[0171] 步骤1018a、在该栅极远离该衬底基板的一侧形成层间介电层。

[0172] 在本发明实施例中,可以采用PECVD工艺在栅极远离衬底基板的一侧形成一层层间介电层(inter-layer dielectric,ILD)。该层间介电层可以为SiO_x层或者SiN_x层,或者由SiO_x层与SiN_x层堆叠组成。

[0173] 步骤1019a、在该衬底基板上形成贯穿该层间介电层和该栅绝缘层的第一过孔和第二过孔。

[0174] 进一步的,可以通过一道光刻工艺,在该衬底基板上的源极接触区形成贯穿该层间介电层和该栅绝缘层的第一过孔,并在漏极接触区形成贯穿该层间介电层和该栅绝缘层的第二过孔。

[0175] 示例的,如图7H所示,可以在衬底基板上形成第一过孔31和第二过孔32,该第一过孔31可以将有源层15的源极接触区漏出,该第二过孔32可以将有源层15的漏极接触区漏出。

[0176] 需要说明的是,在上述步骤1018a中形成的层间介电层可以整层覆盖在衬底基板的表面,在步骤1019a中通过一次光刻工艺形成第一过孔和第二过孔的同时,还可以将该层间介电层中覆盖在第二电极23上方的部分去除。

[0177] 步骤1020a、在该层间介电层远离该衬底基板的一侧形成间隔设置的第一极和第二极。

[0178] 最后,可以先在该层间介电层的表面沉积金属薄膜,然后采用一道光刻工艺对该金属薄膜进行图形化处理,形成薄膜晶体管的第一极和第二极。该第一极通过第一过孔与有源层中的源极接触区接触,从而实现第一极与有源层的连接;该第二极通过第二过孔与有源层的漏极接触区接触,从而实现第二极与有源层的连接。

[0179] 上述步骤中的金属薄膜可以由Cu、Al、Mo、Ti、铬(Cr)或钨(W)等金属材料中的任一

种金属材料形成,或者,该金属薄膜也可以是由多种金属材料组成的多层金属薄膜结构,例如,该金属薄膜可以为三层金属薄膜,形成该三层金属薄膜的金属材料可以为Mo、Al和Mo,或者Ti、Al和Ti,或者Ti、Cu、Ti,或者Mo、Cu和Ti。

[0180] 作为一种可选的实现方式,在上述步骤1020c之前,该方法还可以包括:在该层间介电层中形成第一接触过孔,以将该第一电极露出。

[0181] 该第一接触过孔可以与第一过孔和第二过孔同步形成。示例的,如图7H所示,可以在衬底基板上形成第一接触过孔33。

[0182] 相应的,在上述步骤1020a中所形成的薄膜晶体管的第二极还可以通过该第一接触过孔33与第一电极21连接;则该第二电极23可以与公共电极连接。最终形成的阵列基板的结构可以参考图2A、图4A或图5A。

[0183] 作为另一种可选的实现方式,上述步骤1020a中形成的薄膜晶体管的第二极靠近该衬底基板的一侧,可以与该第二电极23远离该衬底基板的一侧接触,也即是,薄膜晶体管的第二极与第二电极23连接。相应的,该第一电极21与公共电极连接。最终形成的阵列基板的结构可以参考图2B、图4B或图5B。

[0184] 需要说明的是,上述图7A所示实施例中的步骤的先后顺序可以进行适当调整,例如,可以先形成栅极和第一电极,然后再依次形成微型LED中的缓冲层、第一半导体层、发光层、第二半导体层及第二电极。也即是,上述步骤1017a中形成栅极和第一电极的步骤可以在步骤1014a之前执行,上述步骤1017a中形成第二电极的步骤可以在步骤1016a之后执行;相应的,上述步骤1016a可以删除。任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化的方法,都应涵盖在本发明的保护范围之内,因此不再赘述。

[0185] 在本发明实施例另一种可选的实现方式中,该阵列基板中的薄膜晶体管也可以为底栅结构,此时该微型LED的第一电极和该薄膜晶体管的第二极可以为通过一次构图工艺形成的一体结构,相应的,该微型LED的第二电极与公共电极连接。

[0186] 对于该底栅结构的薄膜晶体管,一方面,参考图8A,该阵列基板的制造方法可以包括:

[0187] 步骤1011b、在衬底基板上形成栅极。

[0188] 步骤1012b、在栅极远离该衬底基板的一侧形成栅绝缘层。

[0189] 步骤1013b、在栅绝缘层远离该衬底基板的一侧依次形成微型LED中的缓冲层、第一半导体层、发光层和第二半导体层。

[0190] 步骤1014b、在该栅绝缘层远离该衬底基板的一侧形成有源层。

[0191] 步骤1015b、在该栅绝缘层远离该衬底基板的一侧形成分别与有源层接触的第一极和一体结构,并在该第二半导体层远离衬底基板的一侧形成第二电极。

[0192] 其中,该一体结构与有源层接触的一端构成薄膜晶体管的第二极,该一体结构的另一端与微型LED的第一半导体层接触,构成该微型LED的第一电极。该最终形成的阵列基板的结构可以参考图3A。

[0193] 上述步骤1011b至步骤1015b的具体实现过程可以参考图7A所示实施例中的对应步骤,此处不再赘述。

[0194] 对于该底栅结构的薄膜晶体管,另一方面,参考图8B,该阵列基板的制造方法可以包括:

- [0195] 步骤1011c、在衬底基板上形成栅极。
- [0196] 步骤1012c、在该栅极远离该衬底基板的一侧形成栅绝缘层。
- [0197] 步骤1013c、在栅绝缘层远离该衬底基板的一侧依次形成微型LED中的缓冲层、第一半导体层、发光层和第二半导体层。
- [0198] 步骤1014c、在该栅绝缘层远离该衬底基板的一侧形成有源层。
- [0199] 步骤1015c、在该有源层远离该衬底基板的一侧形成保护层。
- [0200] 步骤1016c、在该保护层中形成用于露出该有源层的第三过孔和第四过孔,以及用于露出该第一半导体层的第二接触过孔。
- [0201] 步骤1017c、在该保护层远离该衬底基板的一侧形成薄膜晶体管的第一极和一体结构,并在该第二半导体层远离衬底基板的一侧形成第二电极。
- [0202] 其中,该第一极通过该第三过孔与该有源层连接,该一体结构的一端通过该第四过孔与该有源层连接,构成该薄膜晶体管的第二极;该一体结构的另一端通过该第二接触过孔与该第一半导体层连接,构成该微型LED的第一电极。该最终形成的阵列基板的结构可以参考图3B。
- [0203] 上述步骤1011c至步骤1017c的具体实现过程可以参考图7A所示实施例中的对应步骤,此处不再赘述。
- [0204] 进一步的,在本发明实施例中,该阵列基板中还形成有公共电极。作为一种可选的实现方式,该公共电极与该微型LED的第一电极可以通过一次构图工艺同层形成。
- [0205] 一方面,当该薄膜晶体管的第二极与该微型LED的第一电极连接时,该公共电极与该第一电极间隔设置;并且,在形成该微型LED的第二电极之后,该方法还可以包括:
- [0206] 步骤S1、在衬底基板上形成第三接触过孔,以将该公共电极露出。
- [0207] 示例的,参考图4A,可以在衬底基板上的层间介电层03中形成第一接触过孔的同时,形成该第三接触过孔,从而将该公共电极30漏出。
- [0208] 步骤S2、在该第二电极远离该衬底基板的一侧形成连接电极,该连接电极通过该第三接触过孔与该公共电极连接。
- [0209] 示例的,如图4A所示,该连接电极31可以与该薄膜晶体管10的第一极13以及第二极14通过一次构图工艺同层形成,且该连接电极31通过第三接触过孔与公共电极30连接,进而实现第二电极23与公共电极30的连接。
- [0210] 另一方面,当该薄膜晶体管的第二极与该微型LED的第二电极连接时,参考图4B,该公共电极30与该第一电极可以为通过一次构图工艺形成的一体结构,也即是,可以直接采用该公共电极30作为该微型LED的第一电极。
- [0211] 作为一种可选的实现方式,该公共电极还可以形成在微型LED的第二电极远离衬底基板的一侧,且该公共电极与该第二电极之间形成有绝缘层。
- [0212] 一方面,当该薄膜晶体管的第二极与该第一电极连接时,在形成该绝缘层之后,该方法还包括:
- [0213] 步骤S3、在该衬底基板上形成第四接触过孔,以将该第二电极露出。该公共电极可以通过该第四接触过孔与该第二电极连接。
- [0214] 示例的,如图5A所示,第二电极23远离衬底基板00的一侧还形成有绝缘层32,该绝缘层32中形成有用于露出该第二电极23的第四接触过孔,该公共电极30形成在该绝缘层32

远离衬底基板00的一侧,并可以通过该第四接触过孔与第二电极23连接。

[0215] 另一方面,当该薄膜晶体管的第二极与该第二电极连接时,在形成该绝缘层之后,该方法还包括:

[0216] 步骤S5、在该衬底基板上形成第五接触过孔,以将该第一电极露出,该公共电极通过该第五接触过孔与该第一电极连接。

[0217] 示例的,如图5B所示,第二电极23远离衬底基板00的一侧还形成有绝缘层32,该绝缘层32以及层间介电层03中形成有用于露出该第一电极21的第五接触过孔,该公共电极30形成在该绝缘层32远离衬底基板00的一侧,并可以通过该第五接触过孔与第一电极21连接。

[0218] 需要说明的是,本发明实施例提供的阵列基板的制造方法的步骤的先后顺序可以进行适当调整,步骤也可以根据情况进行相应增减。任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化的方法,都应涵盖在本发明的保护范围之内,因此不再赘述。

[0219] 综上所述,本发明实施例提供了一种阵列基板的制造方法,该阵列基板的衬底基板上形成有薄膜晶体管和微型LED,且该微型LED形成在薄膜晶体管的栅绝缘层上,由于可以在制造过程中同步形成薄膜晶体管以及微型LED,从而有效简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。并且相比于相关技术中的转印工艺,本发明实施例提供的制造方法的工艺时间较短,良率较高。

[0220] 本发明实施例提供了一种显示装置,该显示装置可以包括:如图1至图5B任一所示的阵列基板。该显示装置可以为:液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0221] 以上所述仅为本申请的较佳实施例,并不用以限制本申请,凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

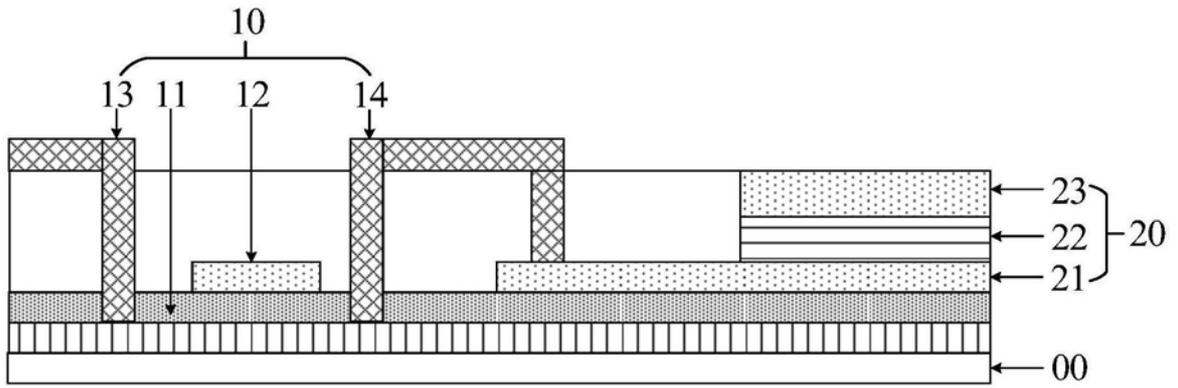


图1

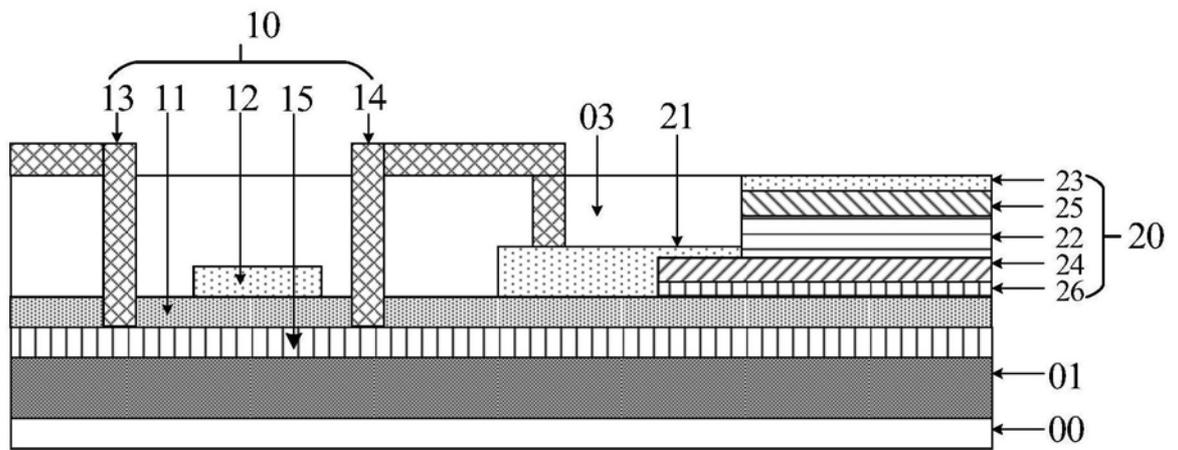


图2A

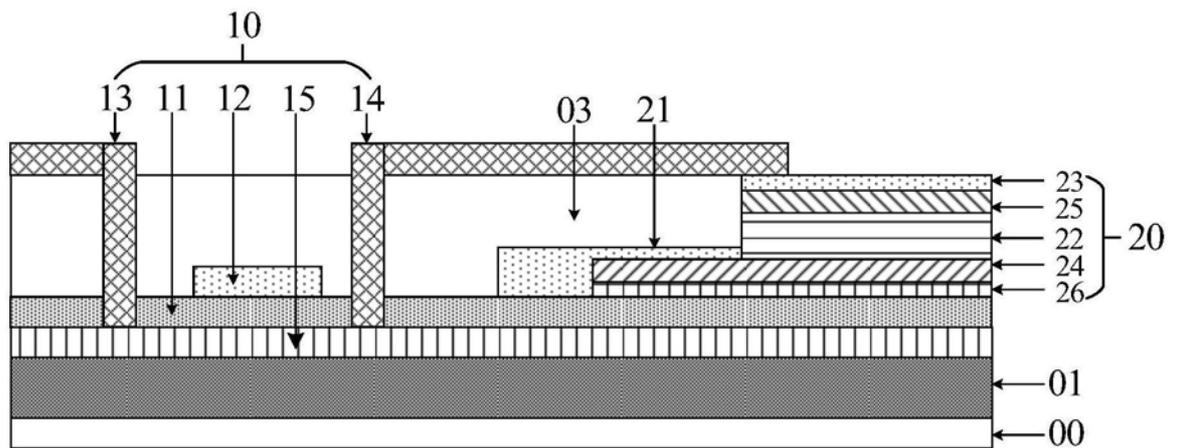


图2B

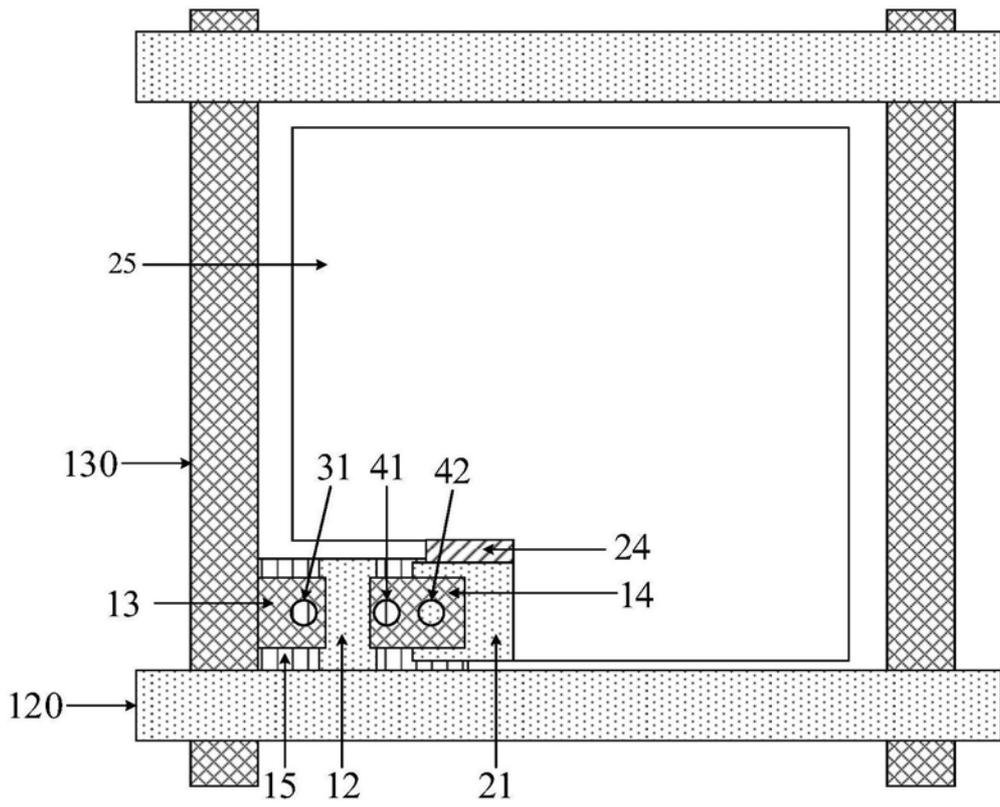


图2C

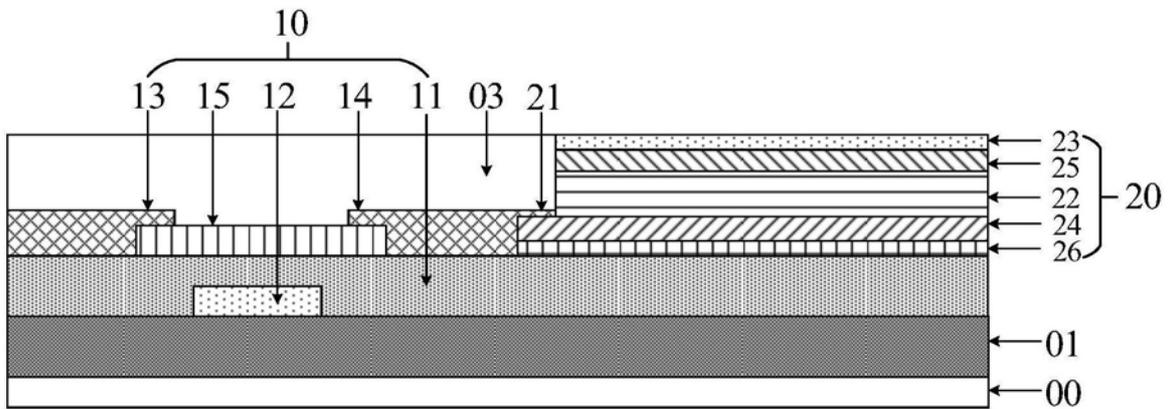


图3A

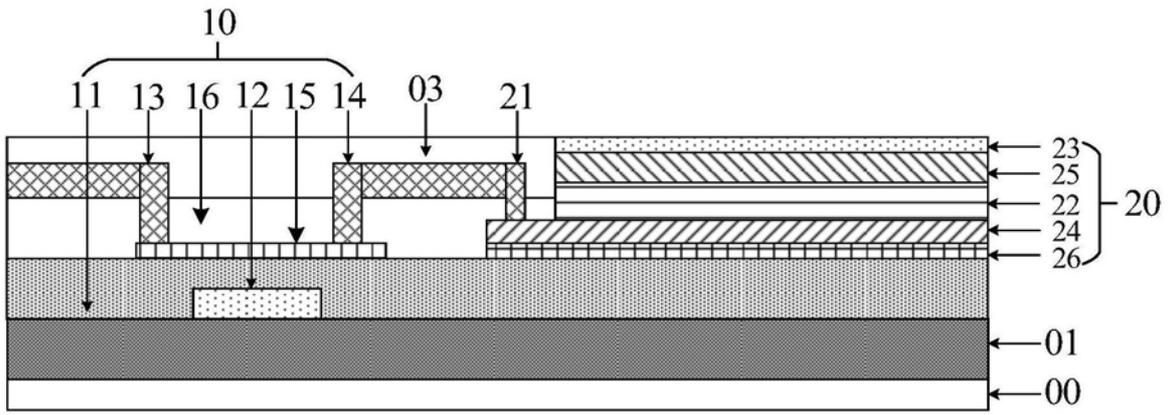


图3B

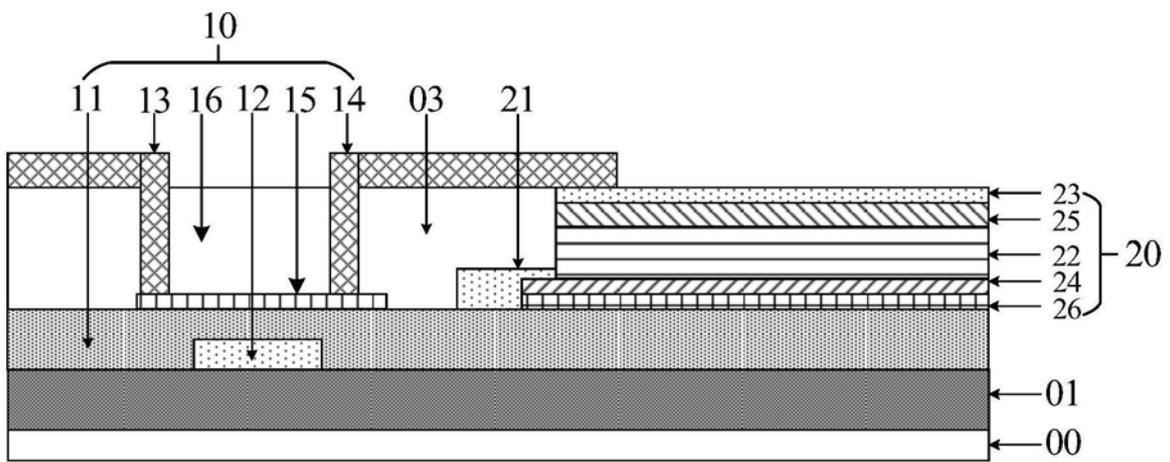


图3C

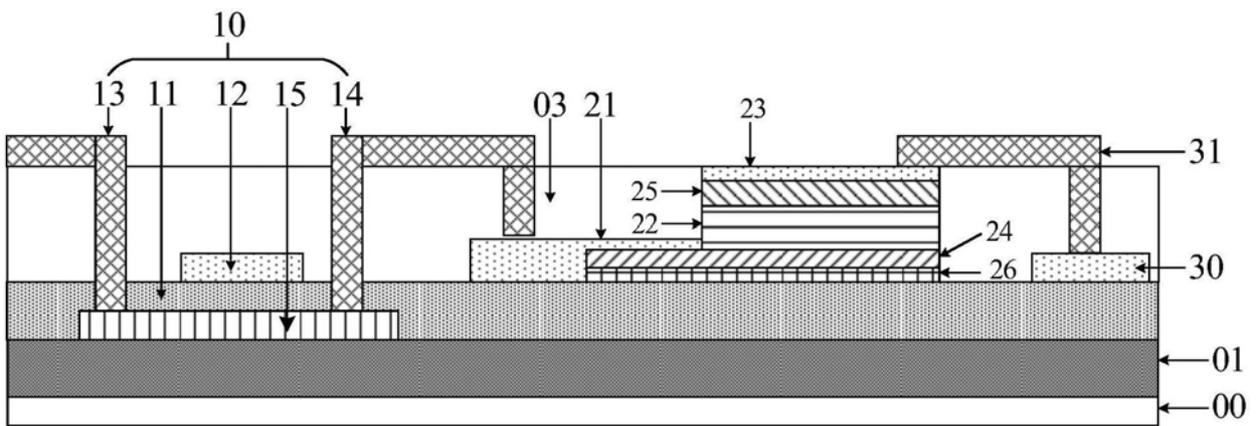


图4A

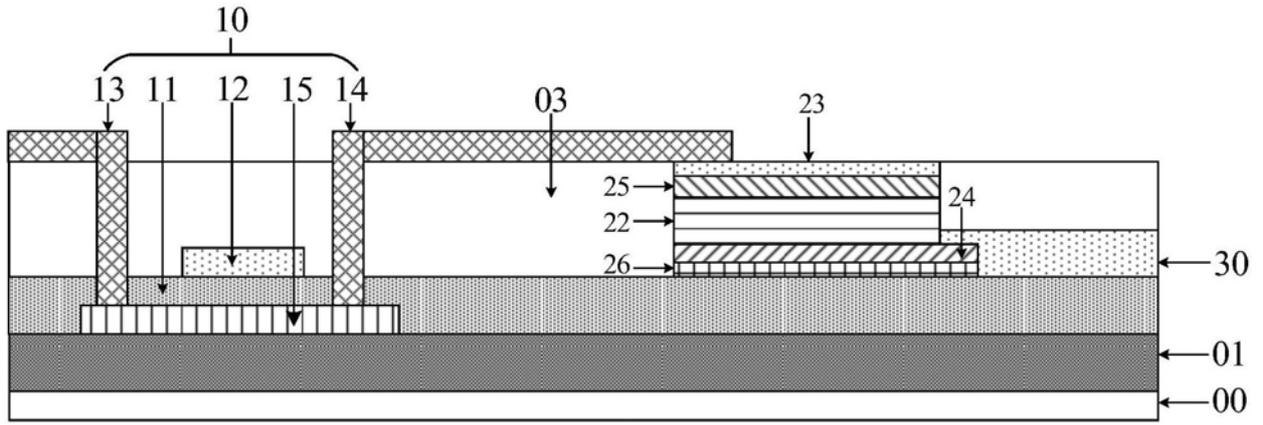


图4B

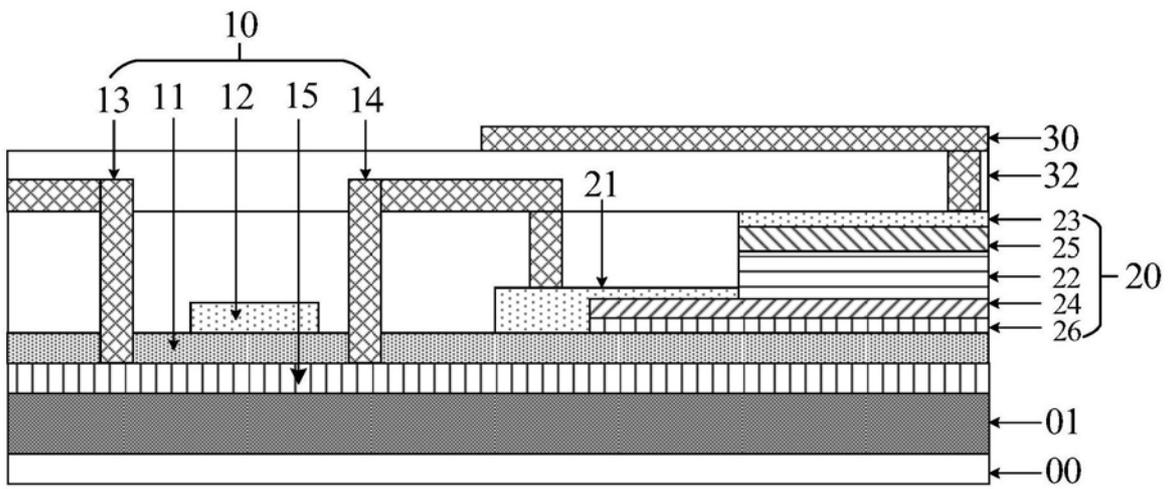


图5A

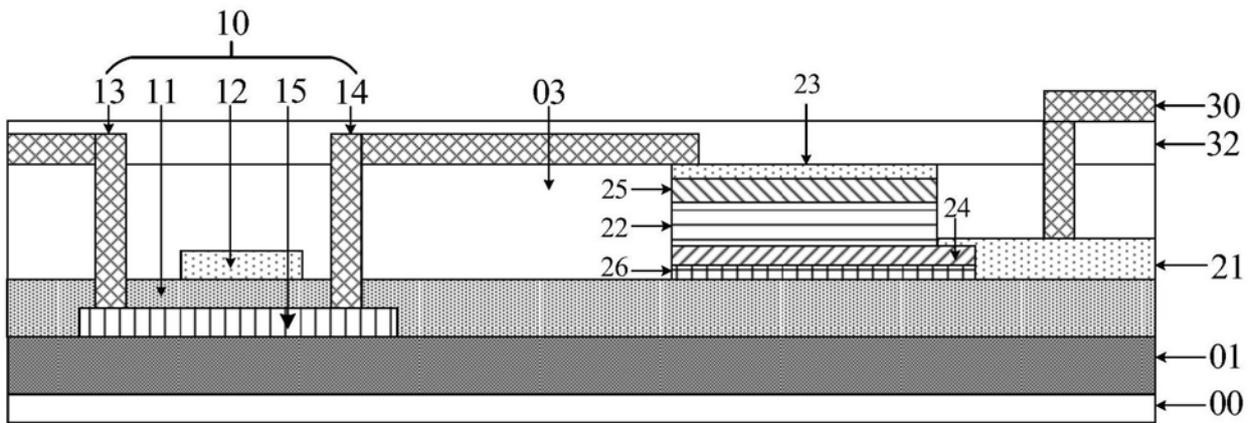


图5B

在衬底基板上形成薄膜晶体管，并在该薄膜晶体管中栅绝缘层远离该衬底基板的一侧形成微型发光二极管LED，该微型LED包括第一电极、发光层和第二电极

图6

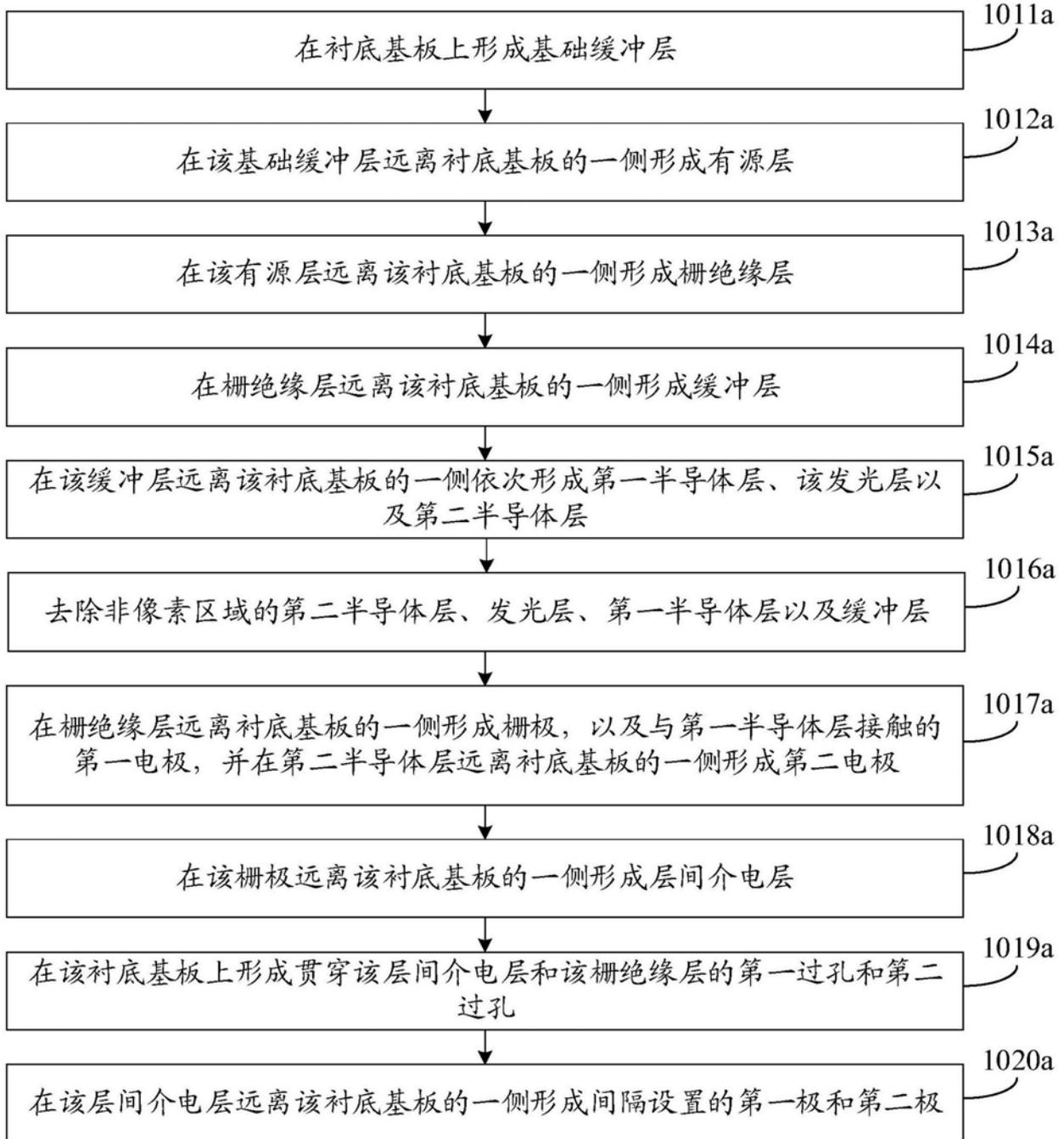


图7A

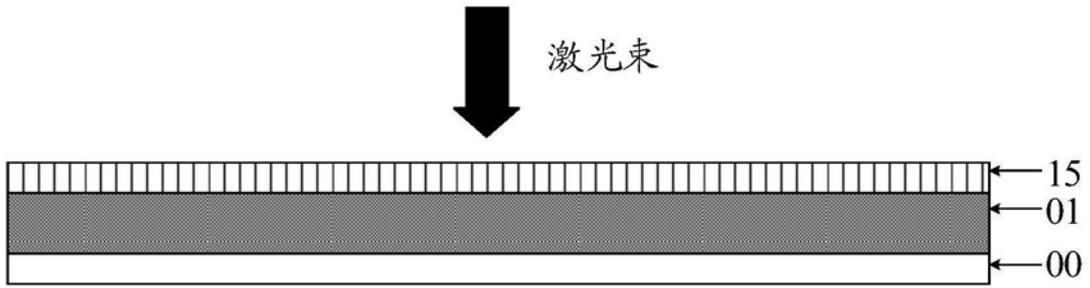


图7B

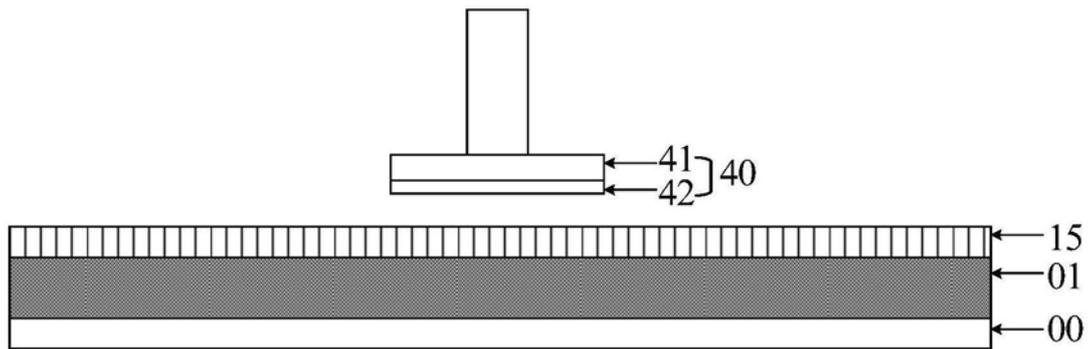


图7C

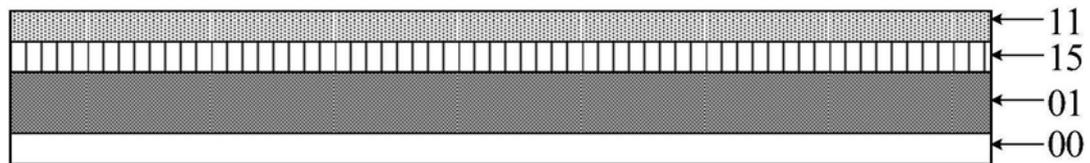


图7D

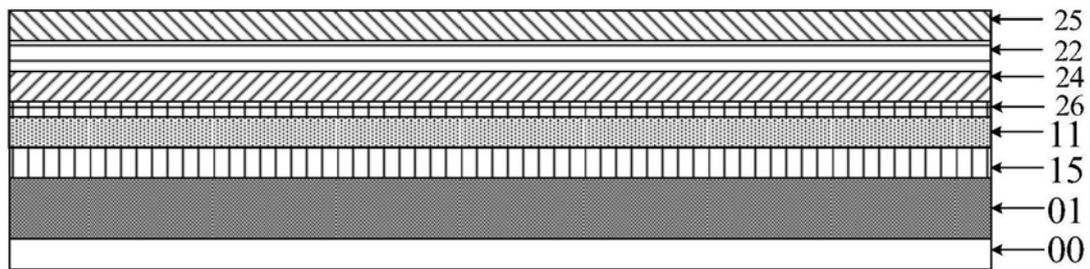


图7E

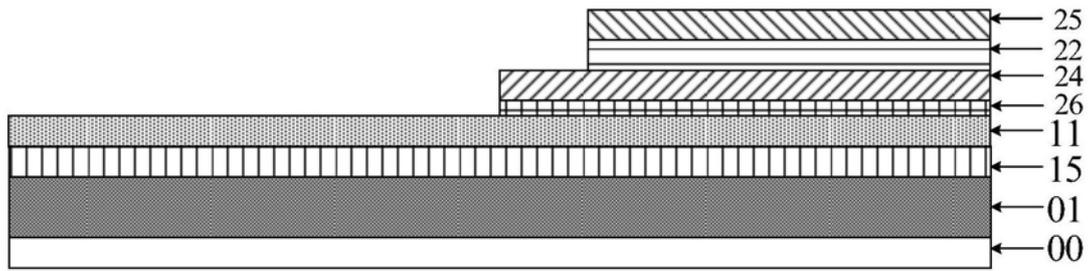


图7F

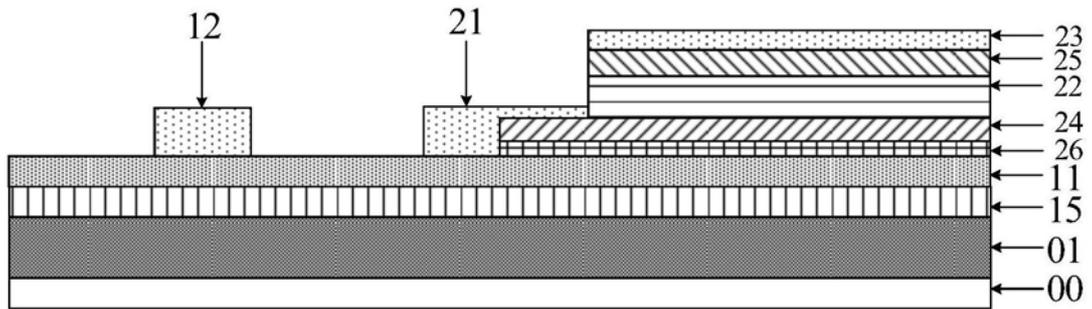


图7G

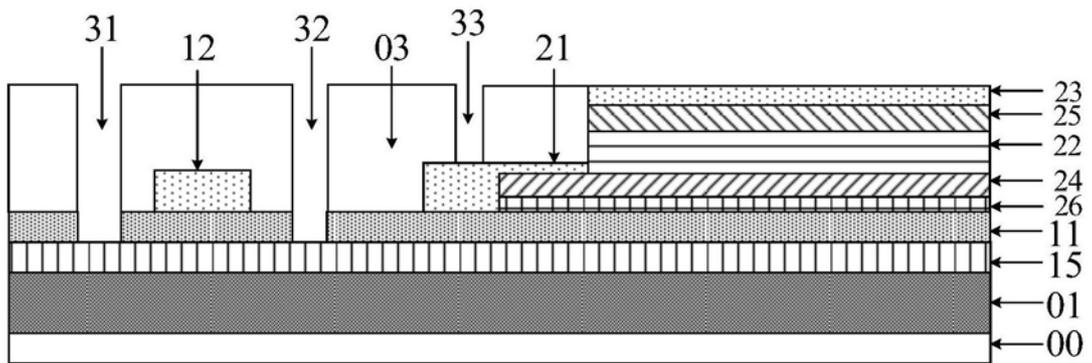


图7H

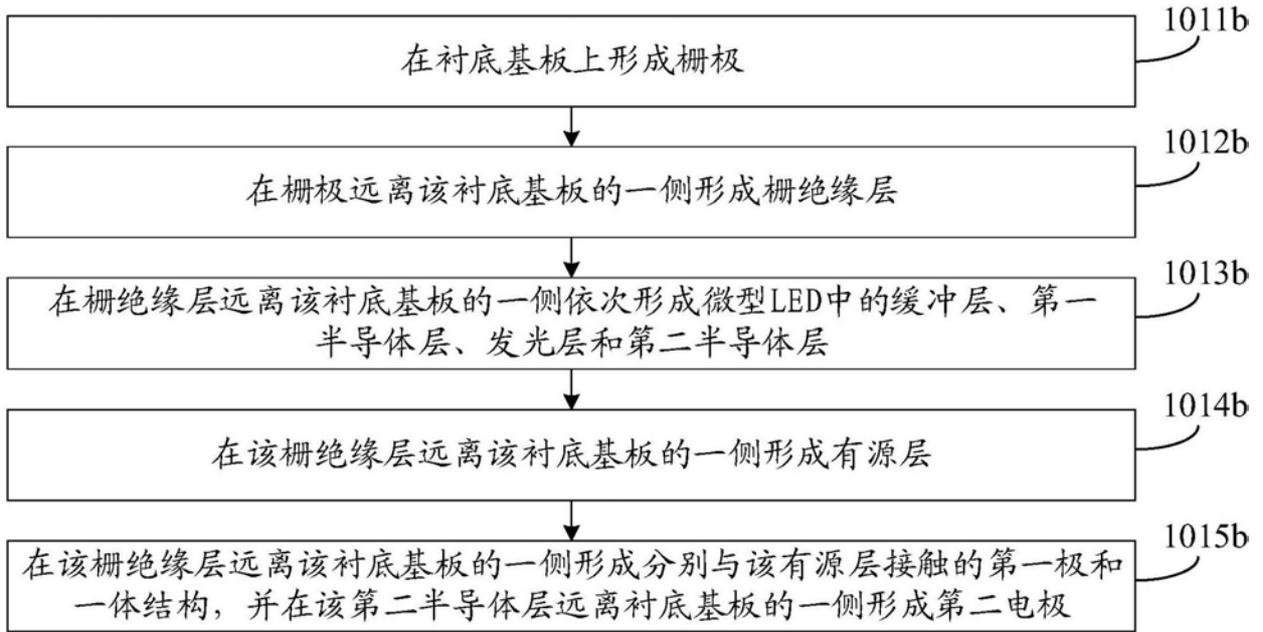


图8A

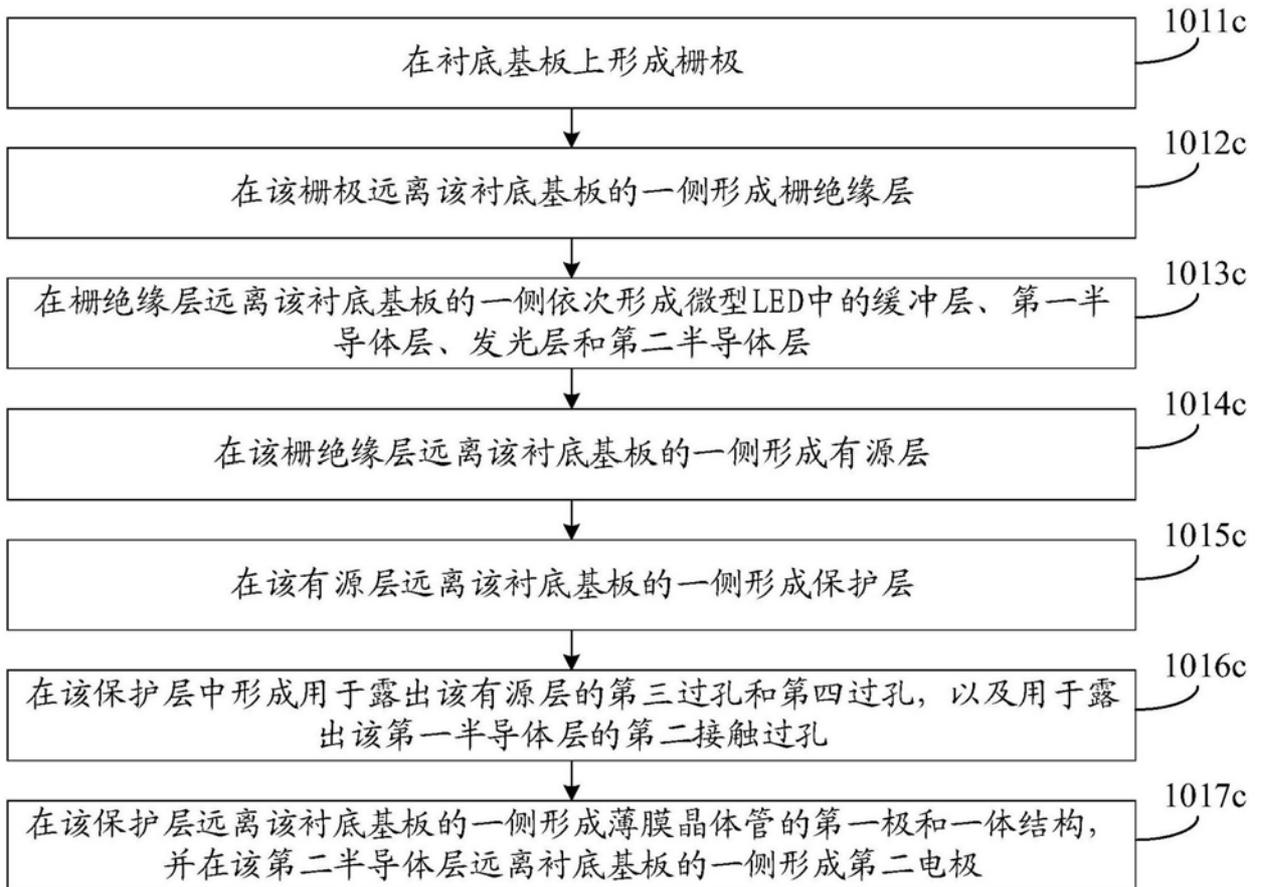


图8B

专利名称(译)	阵列基板及其制造方法、显示装置		
公开(公告)号	CN110277420A	公开(公告)日	2019-09-24
申请号	CN201810220239.8	申请日	2018-03-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	龙春平		
发明人	龙春平		
IPC分类号	H01L27/15 H01L21/84		
CPC分类号	H01L21/84 H01L27/15 H01L27/12 H01L27/32 H01L33/62		
代理人(译)	杨广宇		
外部链接	Espacenet	SIPO	

摘要(译)

本申请公开了一种阵列基板及其制造方法、显示装置，属于显示技术领域。所述阵列基板包括：设置在衬底基板上的薄膜晶体管，以及设置在所述薄膜晶体管中栅绝缘层远离所述衬底基板一侧的微型发光二极管LED；所述微型LED包括第一电极、发光层和第二电极；所述薄膜晶体管的栅极与栅线连接，所述薄膜晶体管的第一极与数据线连接，所述薄膜晶体管的第二极与所述第一电极和所述第二电极中的一个电极连接，所述第一电极和所述第二电极中的另一电极与公共电极连接。本申请提供的阵列基板的制造成本较低，且稳定性和发光效率较高。

